

Patent Abstracts of Japan

PUBLICATION NUMBER : 03250637
PUBLICATION DATE : 08-11-91

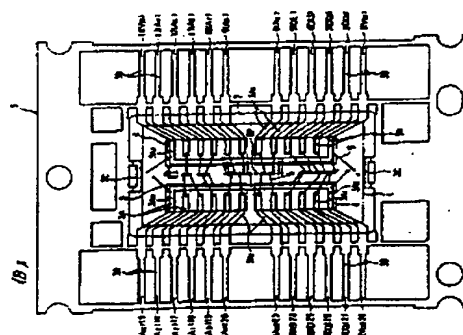
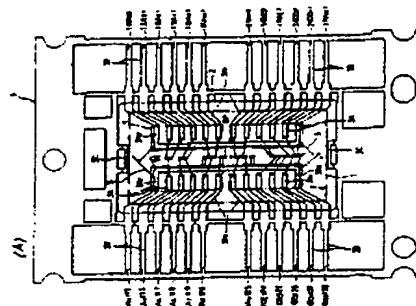
APPLICATION DATE : 27-02-90
APPLICATION NUMBER : 02049049

APPLICANT : HITACHI LTD;

INVENTOR : ANJO ICHIRO;

INT.CL. : H01L 21/60 H01L 23/50

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To produce a semiconductor device in the right-to-left reverse layout of lead pin without bending the lead pin of the semiconductor device in normal layout in a reverse direction by installing a bonding pad in the central line of a circuit formation plane of a semiconductor chip and allowing the lead pin to carry out wire bonding in right-to-left reverse layout with respect to standard layout.

CONSTITUTION: A bonding pad BP is installed to the central line section in the direction of X of Y of a DRAM 1 circuit formation plane. As illustrated in (A), in the case the layout of the lead pin is normal, a signal inner lead $3A_1$ and a common inner lead $3A_2$ are electrically connected with the bonding pad BP of the DRAM 1 with bonding wire 5. In the case the lead pin is laid out reversely right-to-left with respect to the standard layout, as illustrated in (B), the signal inner lead $3A_1$ and the common inner lead $3A_2$ are electrically connected with the bonding pad PB of the DRAM 1 with the bonding wire 5.

COPYRIGHT: (C)1991,JPO&Japio

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-250637

⑬ Int. Cl.⁵

H 01 L 21/60
23/50

識別記号

3 0 1 N
3 0 1 B
X
S
Y

庁内整理番号

6918-5F
6918-5F
9054-5F
9054-5F
9054-5F

⑭ 公開 平成3年(1991)11月8日

審査請求 未請求 請求項の数 4 (全11頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-49049

⑰ 出 願 平2(1990)2月27日

⑱ 発 明 者 安 生 一 郎 東京都小平市上水本町5丁目20番1号 株式会社日立製作所
所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 秋田 収 喜

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体チップの回路形成面に、複数のインナーリードが設けられ、該インナーリードが夫々ボンディングワイヤで電気的に接続され、モールド樹脂で封止される半導体装置において、前記半導体チップの回路形成面のX方向又はY方向の中心線部にボンディングパッドを設け、リードピンが標準配置に対して左右逆に配置可能にワイヤボンディングされることを特徴とする半導体装置。

2. 半導体チップの回路形成面のX方向又はY方向の中心線の近傍に共用インナーリードが設けられ、かつ前記半導体チップの回路形成面に、複数の信号用インナーリードが設けられ、該インナーリード及び共用インナーリードと半導体チップとが夫々ボンディングワイヤで電気的に接続され、モールド樹脂で封止される半導体装

置であって、前記半導体チップの回路形成面のX方向又はY方向の中心線部にボンディングパッドを設け、リードピンが標準配置に対して左右逆に配置可能にワイヤボンディングされることを特徴とする半導体装置。

3. 前記請求項1又は2に記載のリードピンの標準配置の半導体装置と標準配置に対して逆配置の半導体装置とをそれぞれ実装基板の表裏に実装し、同一機能のリードピンは電気的に接続されていることを特徴とする半導体装置。

4. 前記請求項1又は2に記載のリードピンの標準配置の半導体装置と標準配置に対して逆配置の半導体装置とをそれぞれ交互に実装基板の一面に配列して実装し、同一機能のリードピンは電気的に接続されていることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、特に、高集積度の大規模集積回路のパッケージに適用して有効な

特開平3-250637(2)

技術に関するものである。

〔従来技術〕

従来、半導体チップを保護するために樹脂で半導体チップをモールドして封止している。この封止を行う前に、半導体チップ上にリードを位置決めし、取り付けるために、いくつかの方法が用いられている。

例えば、中央にタブを有するリード・フレームを用いるもので、半導体チップを封入前に取り付けて使用する。この従来技術では、半導体チップの周囲近くにある電極パッドを、それに対応するインナーリードにボンディングワイヤで接続する方法が知られている。

従来技術による半導体パッケージに共通の問題は、金属リード・フレームのリード線の出口となる金型のパーティング・ラインに沿って、亀裂を生じることであった。

また、他の問題は、外部から半導体チップへ、金属リード線に沿って環境中の汚染源が侵入する経路が比較的短いことである。

討した結果、以下の問題点を見出した。

前記半導体装置をメモリーボード等の実装基板の表裏又は一面に多数個配列し、この半導体装置間を実装基板に形成された配線で電気的に接続する場合、半導体装置のリードピン配置形態が一種類(同一)のため、各々の半導体装置の同一機能を有するリードピン間を迂回配線で電気的に接続している。このため、半導体装置のリードピン間の間隔(ピッチ)が小さくなると実装基板に形成される配線の引き回しが困難となり、配線レイアウトの設計が極めて困難となる問題があった。

そこで、半導体装置のリードピンを逆方向に折り曲げて成型し、正規(標準)のリードピン配置の半導体装置に対して、左右逆のリードピン配置の半導体装置(鏡面对称)を作製し、実装基板の表裏に正規のリードピン配置の半導体装置と左右逆のリードピン配置の半導体装置とを鏡面对称で配列するか、又は実装基板の一面に正規のリードピン配置の半導体装置と左右逆のリードピン配置の半導体装置とを交互に配列することが考えられるが、

さらに、他の問題は、インナーリードを半導体チップの電極パッドに接続するために必要なボンディングワイヤが比較的長いため、かつ交互に入出力端子を割当てるために、ボンディングワイヤを交差させることができないことであった。

そこで、前記問題を解消するために、半導体チップの回路形成面上に、複数のインナーリードが、前記半導体チップと絶縁フィルムを介在させて接合剤で接合され、該インナーリードと半導体チップとがボンディングワイヤで電気的に接続され、モールド樹脂で封止された半導体装置において、前記半導体チップの回路形成面の長手方向の中心線の近傍に共用インナーリード(バスバーインナーリード)が設けられた半導体装置が提案されている(特開昭61-241959号公報)。

この種の半導体装置は、例えばメモリーボード等の実装基板(例えばプリント配線基板)に多数個配列されている。

〔発明が解決しようとする課題〕

しかしながら、本発明者は、前記従来技術を検

正規のリードピン配置の半導体装置のリードピンを逆に折り曲げて成型するための金型が必要になる。又、リードピンを逆に折り曲げて成型する際、応力が半導体チップの主面側のパッケージに集中して、半導体チップの主面側にクラックが生じるので、半導体チップの回路形成面(素子面)に水分等による影響を与え、信頼性を低下させる。

本発明の目的は、正規(標準)のリードピン配置の半導体装置のリードピンを逆方向に折り曲げることなく左右逆のリードピン配置の半導体装置を作製することができる技術を提供することにある。

本発明の他の目的は、半導体装置を実装基板(プリント配線基板)の表裏又は一面に多数個配列して実装する場合において、実装基板の配線及び配線レイアウトの設計が容易にできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 半導体チップの回路形成面に、複数のインナーリードが設けられ、該インナーリードが夫々ボンディングワイヤで電気的に接続され、モールド樹脂で封止される半導体装置において、前記半導体チップの回路形成面のX方向又はY方向の中心線部にボンディングパッドを設け、リードピンが標準配置に対して左右逆に配置可能にワイヤボンディングされるものである。

(2) 半導体チップの回路形成面のX方向又はY方向の中心線の近傍に共用インナーリードが設けられ、かつ前記半導体チップの回路形成面に、複数の信号用インナーリードが設けられ、該インナーリード及び共用インナーリードと半導体チップとが夫々ボンディングワイヤで電気的に接続され、モールド樹脂で封止される半導体装置であって、前記半導体チップの回路形成面のX方向又はY方向の中心線部にボンディングパッドを設け、リ

ードピンが標準配置に対して左右逆に配置可能にワイヤボンディングされるものである。

(3) 前記リードピンの標準配置の半導体装置と標準配置に対して逆配置の半導体装置とをそれぞれ実装基板の表裏に実装し、同一機能のリードピンは電気的に接続されている。

(4) 前記リードピンの標準配置の半導体装置と標準配置に対して逆配置の半導体装置とをそれぞれ交互に実装基板の一面に配列して実装し、同一機能のリードピンは電気的に接続されている。

〔作用〕

前記手段(1)及び(2)によれば、半導体チップの回路形成面のX方向又はY方向の中心線部にボンディングパッドを設け、リードが標準配置に対して左右逆に配置されるようにワイヤボンディングすることができるので、正規(標準)のリードピン配置の半導体装置のリードピンを逆方向に折り曲げることなく左右逆のリードピン配置の半導体装置を作製することができる。

前記手段(3)及び(4)によれば、同一機能のリ

ードピンは電気的に接続されているので、実装基板の配線を省略して簡略化が図れると共に、多数の半導体装置を実装する場合、配線レイアウトの設計が容易にでき、かつ、実装基板の配線の長さを短くすることができる。また、実装基板の配線面積を低減することができるので、配線のない領域に平滑コンデンサ等の回路素子を形成し、接続することができる。また、実装基板の内部配線の隣同志の配線間の電気容量を低減することができるので、信号伝達速度を速くすることができる。

以下、本発明の構成について、半導体チップ(DRAM: Dynamic Random Access Memory)を封止する樹脂封止型半導体装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔発明の実施例〕

本発明の一実施例であるDRAM(半導体チップ)を封止する樹脂封止型半導体装置を第1図(

部分断面斜視図)、第2図(平面図)及び第3図(第2図のイーイー線で切った断面図)で示す。

第1図、第2図及び第3図に示すように、DRAM(半導体チップ)1は、SOJ(Small Out-line J-bend)型の樹脂封止型パッケージ2で封止されている。DRAM1は、16[Mbit]×1[b]itの大容量で構成され、16.48[mm]×8.54[mm]の平面長方形で構成されている。このDRAM1は、400[mil]の樹脂封止型パッケージ2に封止される。

前記DRAM1の回路形成面(以下、主面という)には、主にメモリセルアレイ及び周辺回路が配置されている。メモリセルアレイは、後に詳述するが、1[bit]の情報を記憶するメモリセル(記憶素子)を行列状に複数配置している。前記周辺回路は、直接周辺回路及び間接周辺回路で構成されている。直接周辺回路は、メモリセルの情報書き込み動作や情報読出し動作を直接制御する回路である。直接周辺回路は、ロウアドレスデコーダ回路、カラムアドレスデコーダ回路、センスア

特開平3-250637(4)

ブ回路等を含む。閾値周辺回路は、前記直接周辺回路の動作を閾値的に制御する回路である。閾値周辺回路は、クロック信号発生回路、バッファ回路等を含む。

前記DRAM1の主面つまり前記メモリセルアレイ及び周辺回路を配置した表面上には、インナーリード3Aを配置している。DRAM1とインナーリード3Aとの間には、絶縁性フィルム4を介在している。絶縁性フィルム4は、例えばポリイミド系樹脂膜で形成されている。この絶縁性フィルム4のDRAM1側、インナーリード3A側の夫々の表面には、接着層(図示しない)が設けられている。接着層としては、例えばポリエーテルアミドイミド系樹脂やエポキシ系樹脂を使用する。この種の樹脂封止型パッケージ2は、DRAM1上にインナーリード3Aを配置したLOC(Lead On Chip)構造を採用している。LOC構造を採用する樹脂封止型パッケージ2は、DRAM1の形状に規制されずにインナーリード3Aを自由に引き回せるので、この引き回しに相当する分、

サイズの大きなDRAM1を封止することができる。つまり、LOC構造を採用する樹脂封止型パッケージ2は、大容量化に基づきDRAM1のサイズが大型化しても、封止サイズ(パッケージサイズ)を小さく抑えられるので、実装密度を高めることができる。

前記インナーリード3Aはその一端側をアウターリード3Bと一体に構成している。アウターリード3Bは、標準規格に基づき、夫々に印加される信号が規定され、番号が付されている。第1図中、左端手前は1番端子、右端手前は14番端子である。右端後側(端子番号はインナーリード3Aに示す)は15番端子、左端後側(端子番号はインナーリード3Aに示す)は28番端子である。つまり、この樹脂封止型パッケージ2は1～6番端子、9～14番端子、15～20番端子、23～28番端子の合計24端子で構成されている。

前記1番端子は電源電圧Vcc端子である。前記電源電圧Vccは例えば回路の動作電圧5[V]である。2番端子はデータ信号端子(DQ₁)、3番端

子はデータ信号端子(DQ₂)、4番端子はライトイネーブル信号端子(WE)、5番端子はロウアドレスストロブ信号端子(RAS)、6番端子はアドレス信号端子(A₁₁)である。

9番端子はアドレス信号端子(A₁₀)、10番端子はアドレス信号端子(A₉)、11番端子はアドレス信号端子(A₈)、12番端子はアドレス信号端子(A₇)、13番端子はアドレス信号端子(A₆)である。14番端子は電源電圧Vcc端子である。

15番端子は基準電圧Vss端子である。前記基準電圧Vssは例えば回路の基準電圧0[V]である。16番端子はアドレス信号端子(A₅)、17番端子はアドレス信号端子(A₄)、18番端子はアドレス信号端子(A₃)、19番端子はアドレス信号端子(A₂)、20番端子はアドレス信号端子(A₁)である。

23番端子はアドレス信号端子(A₀)、24番端子はアウトプットイネーブル信号端子(OE)、25番端子はカラムアドレスストロブ信号端子(CAS)、26番端子はデータ信号端子(DQ₃)、

27番端子はデータ信号端子(DQ₄)、28番端子は基準電圧Vss端子である。

前記インナーリード3Aの他端側は、DRAM1の長方形の夫々の長辺を横切り、DRAM1の中央側に引き伸ばされている。インナーリード3Aの他端側の先端はボンディングワイヤ5を介在させてDRAM1の中央部分に配列されたボンディングパッド(外部端子)BPに接続されている。前記ボンディングワイヤ5はアルミニウム(Al)ワイヤを使用する。また、ボンディングワイヤ5としては、金(Au)ワイヤ、銅(Cu)ワイヤ、金属ワイヤの表面に絶縁性樹脂を被覆した被覆ワイヤ等を使用してもよい。ボンディングワイヤ5は熱圧着に超音波振動を併用したボンディング法によりボンディングされている。

前記インナーリード3Aのうち1番端子、14番端子の夫々のインナーリード(Vcc)3A₁は、一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(Vcc)3A₁は共用インナーリード又はバス

バーインナーリードと言われている)。同様に、15番端子、28番端子の夫々のインナーリード(Vss)3A₂は、一体に構成され、DRAM1の中央部分をその長辺に平行に引き伸ばされている(このインナーリード(Vss)3A₂は共用インナーリード又はバスバーインナーリードと言われている)。前記共用インナーリード(Vcc)3A₁、共用インナーリード(Vss)3A₂の夫々は、その他のインナーリード3A(信号用インナーリード3A₁)の他端側の先端で規定された領域内において平行に延在させている。この共用インナーリード(Vcc)3A₁、共用インナーリード(Vss)3A₂の夫々はDRAM1の主面のどの位置においても電源電圧Vcc、基準電圧Vssを供給することができるように構成されている。つまり、この樹脂封止型半導体装置は電源ノイズを吸収し易く構成され、DRAM1の動作速度の高速化を図れるように構成されている。

前記DRAM1の長方形形状の短辺にはチップ支持用リード3Cが設けられている。

本実施例のDRAM1のレイアウトは、第4図(平面図)に示すように、その主面のX方向(又はY方向)の中心線部にボンディングパッド(外部端子)BP及び周辺回路11が設けられている。そして、これらのボンディングパッド(外部端子)BP及び周辺回路11の両側に多数のメモリセル列(メモリマット)12が設けられている。

本実施例のリードフレームは、第1図、第5A図(平面図)及び第5B図(平面図)に示すように、20本の信号用インナーリード3A₁と2本の共用インナーリード3A₂が設けられている。前記共用インナーリード3A₂の所定位置には、前記半導体チップ1の側端面を接着固定するためのチップ支持用リード(吊りリード)3Cが設けられている。前記インナーリード3A₁は等間隔に配置されている。このようにインナーリード3A₁を等間隔に配置することにより、夫々のインナーリード3A₁に対する電気容量が一定になるので、ノイズの影響を低減することができ、かつ信号伝送速度の高速化を図ることができる。

前記インナーリード3A(3A₁、3A₂)、アウターリード3B、チップ支持用リード3Cの夫々はリードフレームから切断されかつ成型されている。リードフレームは例えばFe-Ni(例えばNi含有率42又は50[%])合金、Cu等で形成されている。

前記DRAM1、ボンディングワイヤ5、インナーリード3A、チップ支持用リード3Cの夫々はモールド樹脂2Aで封止されている。モールド樹脂2Aは、低応力化を図るために、フェノール系硬化剤、シリコーンゴム及びフィラーが添加されたエポキシ系樹脂を使用している。シリコーンゴムはエポキシ系樹脂の弾性率と同時に熱膨張率を低下させる作用がある。フィラーは球形の酸化珪素粒で形成されており、同様に熱膨張率を低下させる作用がある。また、パッケージ2の所定位置にインデックスID(第1図及び第2図の左端に設けられた切り込み)が設けられている。

次に、DRAM1のレイアウトについて説明する。

また、半導体チップ1の主面と絶縁性フィルム4との接着、絶縁性フィルム4とインナーリード3Aとの接着は、接着剤で接着する。また、接着剤は、半導体チップ1の主面と絶縁性フィルム4との接着には用いないで、絶縁性フィルム4とインナーリード3Aとの接着にのみ使用してもよい。

次に、リードフレーム3に絶縁性フィルム4を介在させて接着剤を用いて半導体チップ1を接着固定する方法について説明する。

第6図(リードフレーム3と絶縁性フィルム4と半導体チップ1との関係を示す展開図)に示すように、半導体チップ1の主面の信号用インナーリード3A₁、共用インナーリード3A₂、吊りリード3Cの夫々に対向する位置の上に、絶縁性フィルム4を介してリードフレーム3の信号用インナーリード3A₁、共用インナーリード3A₂、吊りリード3Cを接着剤により接着固定する。

次に、本実施例のリードフレームとボンディングパッド(外部端子)BPとの接続について、第5A図及び第5Bで説明する。

特開平3-250637(6)

第5A図に示すように、リードピンの配置が正規(標準配置)の場合は、信号用インナーリード3A、及び共用インナーリード3A、とDRAM1とが夫々ボンディングワイヤ5で電氣的に接続されている。そして、リードピンが標準配置に対して左右逆に配置される場合は、第5B図に示すように、信号用インナーリード3A、及び共用インナーリード3A、とDRAM1とが夫々ボンディングワイヤ5で電氣的に接続される。

つまり、第5A図に示すリードピン1～14が第5B図に示すリードピン28～15となるようにDRAM1のボンディングパッドBPとボンディングワイヤ5で電氣的に接続され、第5A図に示すリードピン15～28が第5B図に示すリードピン1～14となるようにDRAM1のボンディングパッドBPとボンディングワイヤ5で電氣的に接続される。

このように、DRAM1の回路形成面のX方向又はY方向の中心線部にボンディングパッドBPを設け、リードピンが標準配置に対して左右逆に

配置されるようにワイヤボンディングすることにより、正規(標準)のリードピン配置の半導体装置のリードピンを逆方向に折り曲げることなく左右逆のリードピン配置の半導体装置を作製することができる。

そして、第7図に示すように、これらのリードピンの正規配置の半導体装置30A及びリードピンの正規配置に対して左右逆のリードピン配置の半導体装置30Bのそれぞれ、例えば、アドレスA8のリードピン(正規の20番ピンと逆の9番ピン)と、リードピンの正規配置の半導体装置30A及びリードピンの正規配置に対して左右逆のリードピン配置の半導体装置30BのアドレスA10のリードピン(正規の9番ピンと逆の20番ピン)を実装基板(プリント配線基板)20の表裏の同一位置に実装し、実装基板20に設けられているスルーホールメッキ層21を通して、両者のアドレスA8のリードピン間及びアドレスA10のリードピン間を容易に電氣的に接続することができる。

また、第8図に示すように、実装基板20の一面

にリードピンの正規配置の半導体装置30Aとリードピンの正規配置に対して左右逆のリードピン配置の半導体装置30Bとを交互に配列した場合、同一機能のリードピン、例えば、アドレスA8のリードピン(正規の20番ピンと逆の9番ピン)を実装基板の配線22で電氣的に容易に接続することができる。

このように半導体装置を構成することにより、以下の効果を得ることができる。

- (1)実装基板20の配線を省略して簡略化が図れると共に、多数の半導体装置を実装する場合、配線レイアウトの設計が容易にでき、実装基板20の配線の長さを短くすることができる。
- (2)実装基板20の配線面積を低減することができるので、配線のない領域に平滑コンデンサ等の回路素子を形成して接続することができる。
- (3)実装基板20の内部配線の隣同志の配線間の電気容量を低減することができるので、信号伝達速度を速くすることができる。

以上、本発明を実施例にもとづき具体的に説明

したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

- (1)半導体チップの回路形成面のX方向又はY方向の中心線部にボンディングパッドを設け、リードが標準配置に対して左右逆に配置されるようにワイヤボンディングすることができるので、正規(標準)のリードピン配置の半導体装置のリードピンを逆方向に折り曲げることなく左右逆のリードピン配置の半導体装置を作製することができる。
- (2)同一機能のリードピンは電氣的に接続されているので、実装基板の配線を省略して簡略化が図れると共に、多数の半導体装置を実装する場合、配線レイアウトの設計が容易にでき、かつ、実装基板の配線の長さを短くすることができる。
- (3)実装基板の配線面積を低減することができる

ので、配線の無い領域に平滑コンデンサ等の回路素子を形成し、接続することができる。

(4)実装基板の内部配線の隣同志の配線間の電気容量を低減することができるので、信号伝達速度を速くすることができる。

4. 図面の簡単な説明

第1図は、本発明の実施例IであるDRAMを封止する樹脂封止型半導体装置の部分断面斜視図、

第2図は、第1図の平面図、

第3図は、第2図のイーイ線で切った断面図、

第4図は、第1図に示すDRAMのレイアウトを示す平面図、

第5A図及び第5B図は、第1図に示すリードフレームの全体構成及びワイヤボンディングを説明するための図、

第6図は、第1図に示す半導体チップ、絶縁体、リードフレームの関係を示す組立展開図、

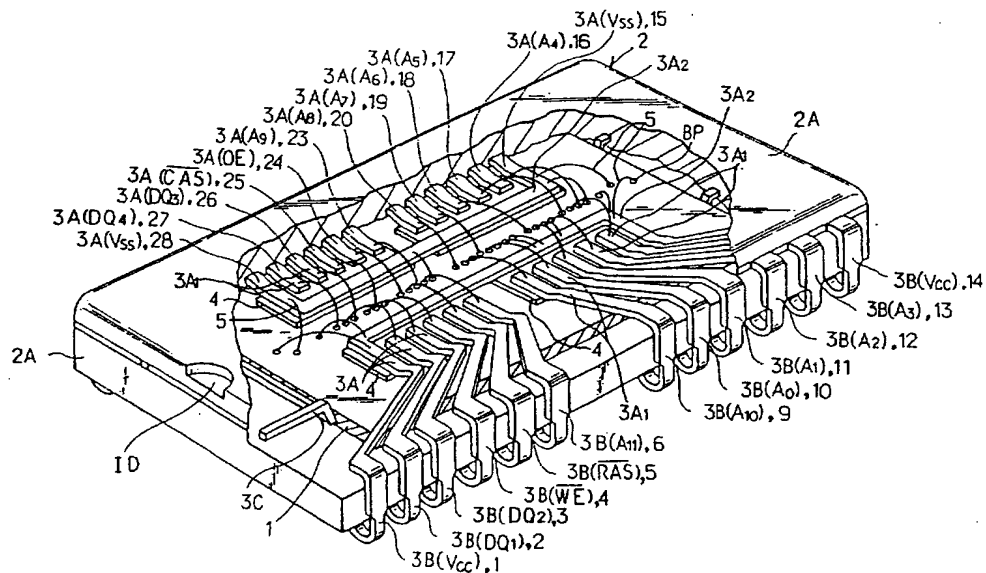
第7図及び第8図は、本発明の半導体装置の実装例を示す図である。

図中、1…DRAM、2…樹脂封止型パッケージ

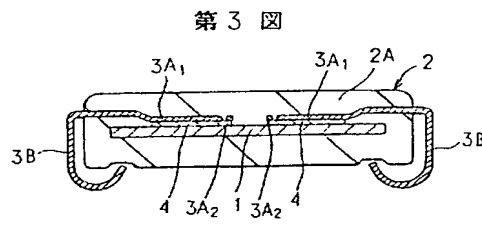
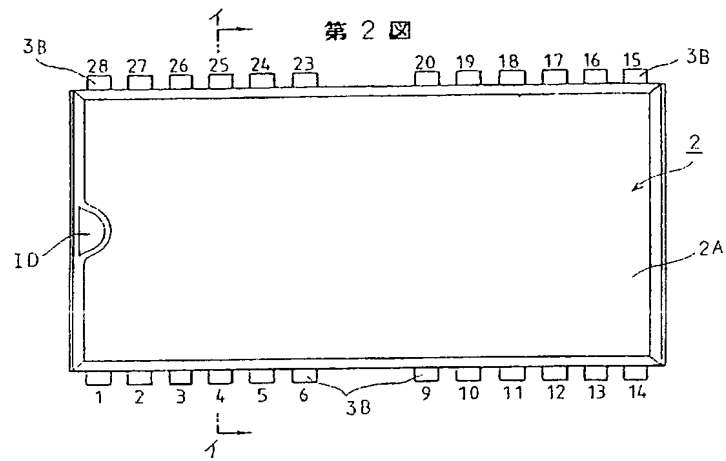
ジ、3…リードフレーム、3A…インナーリード、3A₁…信号用インナーリード、3A₂…共用インナーリード、3B…アウターリード、3C…チップ支持用リード(吊りリード)、4…絶縁性フィルム、5…ボンディングワイヤ、BP…ボンディングパッド、20…実装基板、30A…リードピン標準配置の半導体装置、30B…リードピン標準配置に対して左右逆配置の半導体装置。

代理人 弁理士 秋田収喜

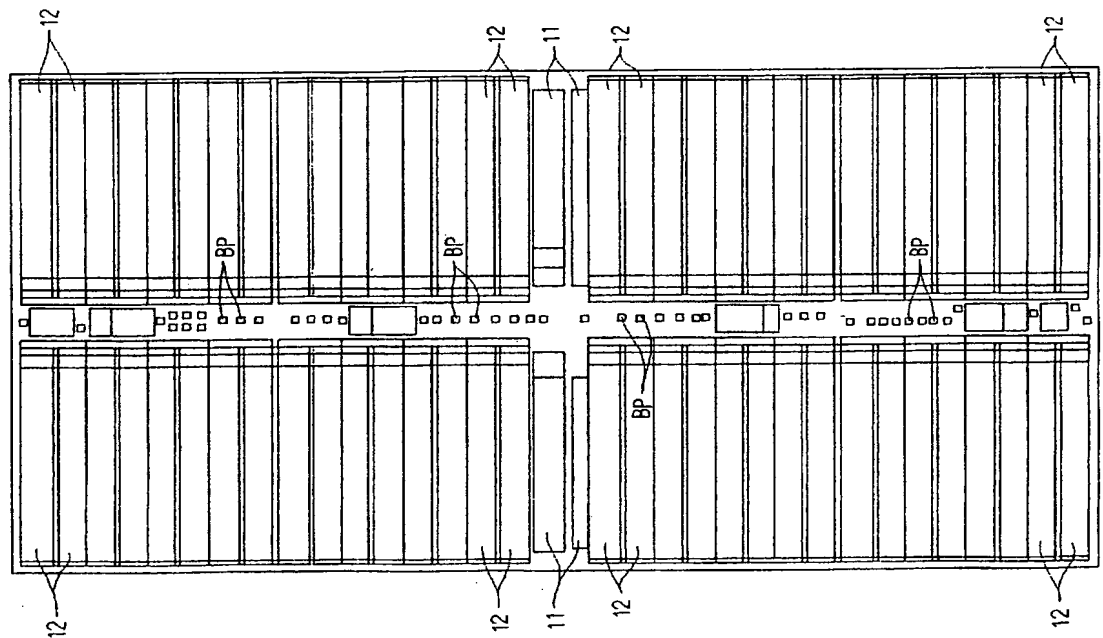
第1図



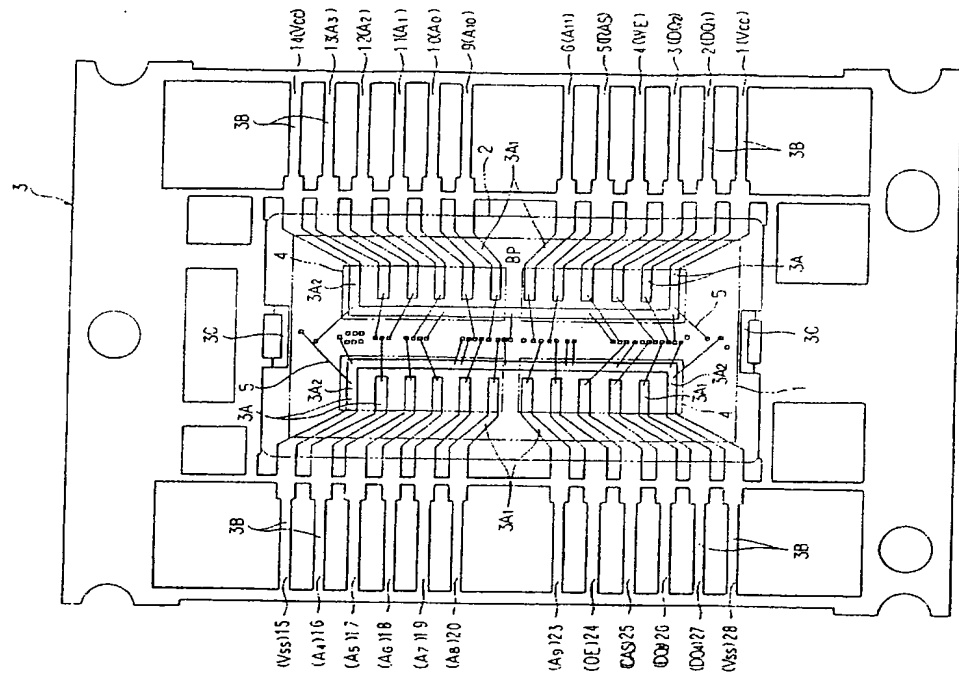
特開平3-250637(8)



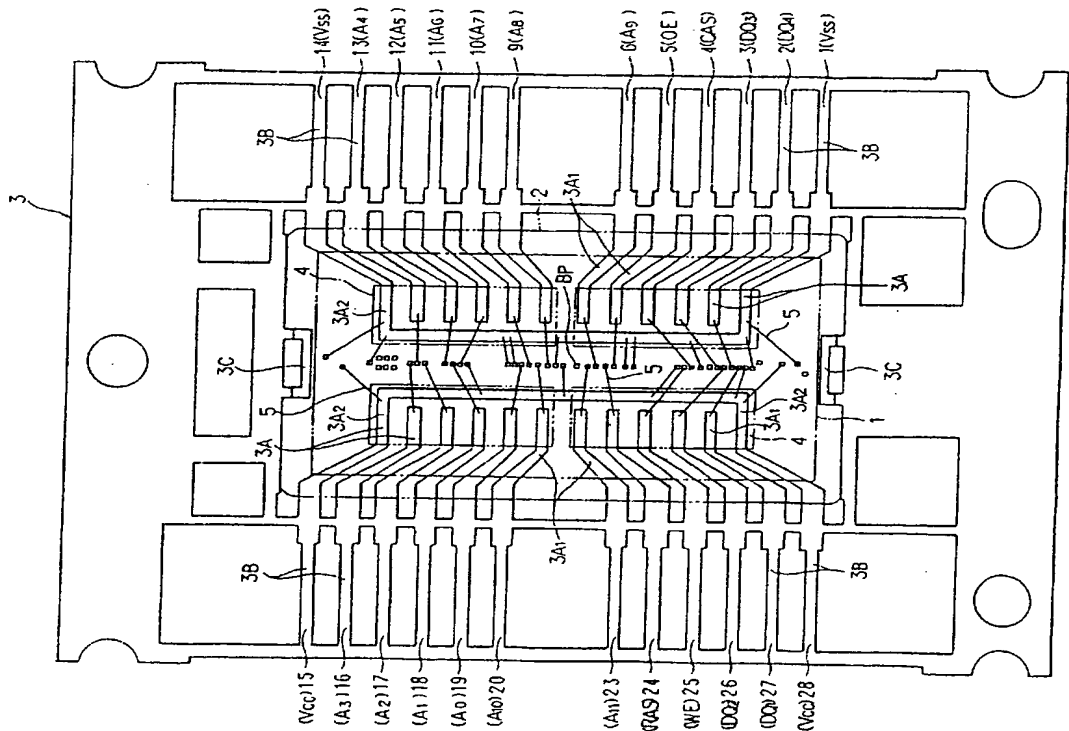
第4図



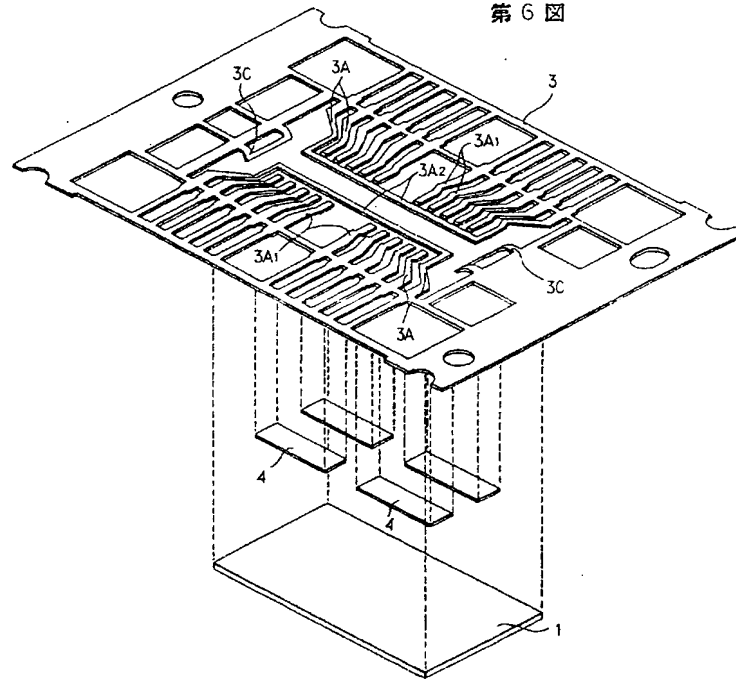
第5A図



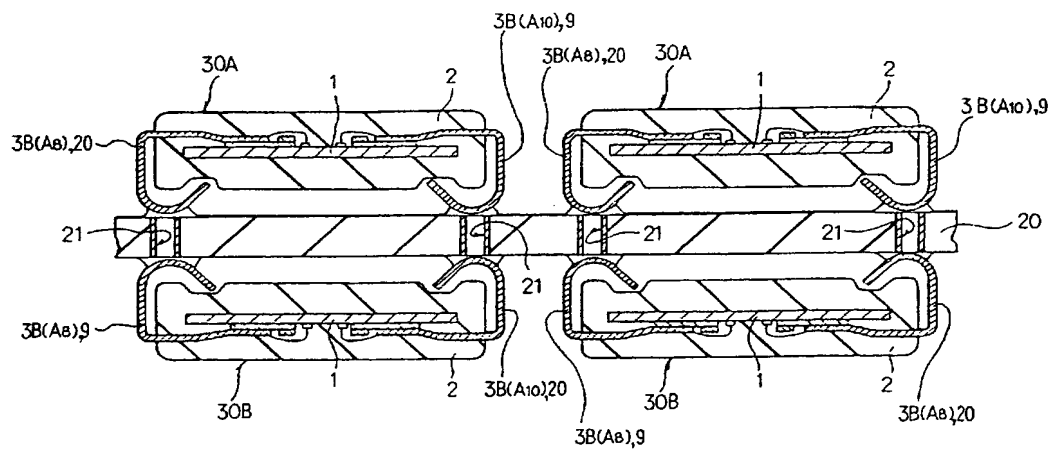
第5B図



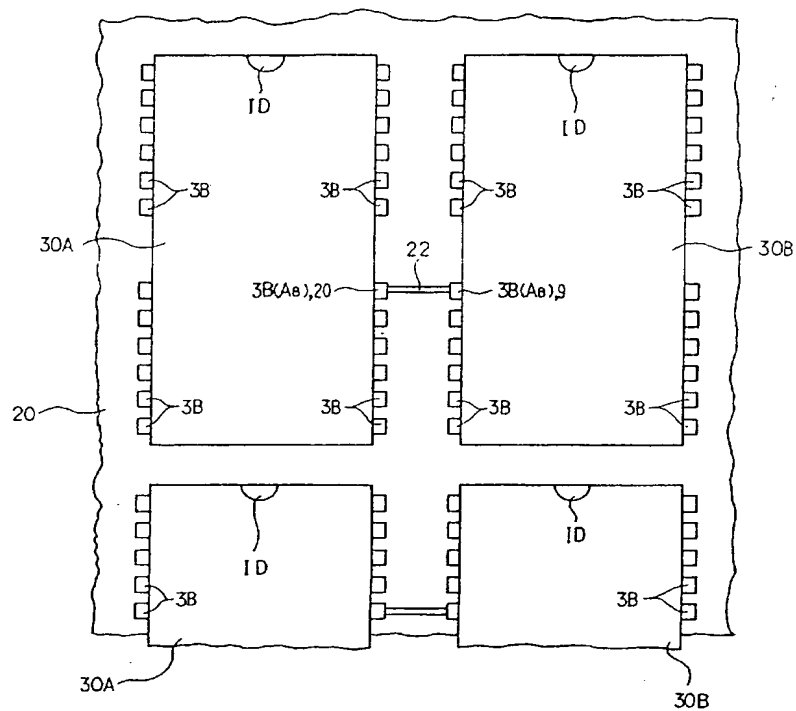
第6図



第7図



第 8 図



THIS PAGE BLANK (USFIC)